

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022970

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H04J 3/16

H04J 3/04

(21)Application number : 08-195235

(71)Applicant : KENWOOD CORP

(22)Date of filing : 08.07.1996

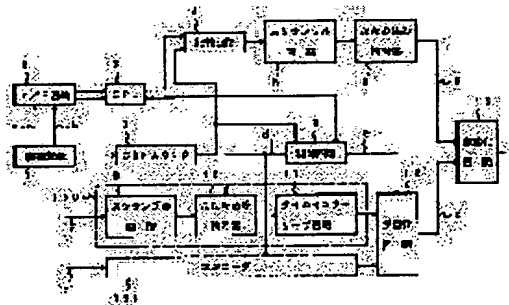
(72)Inventor : MATSUSHIMA YUKIO
SAKAI SHOICHIRO
KITANO MASAHIRO
TSURUMI ATSUSHI

(54) DIGITAL SIGNAL MULTIPLEXING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To change a bit rate while a signal is transmitted by multiplexing plural pieces of service data different in bit rates.

SOLUTION: Multiplex information data (a) and (b) generated in a controller 1 are stored in a storage circuit 4 through a CPU 3. Data which is read from the circuit 4 is converted into multiplex information data FIC-f. The MPEG sound signal (c) of service data, which is supplied to an MSC encoder 150, is folded and encoded. The MPEG sound signal (c') of service data, which is supplied to an MSC encoder 151, is also folded and encoded. The respective output signals of the encoders 150 and 151 are multiplexed in a multiplex circuit 12 and are converted into MSC data and are multiplexed with data FIC-f in a multiplex circuit 13.



LEGAL STATUS

[Date of request for examination] 18.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3365909

[Date of registration] 01.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-22970

(43)公開日 平成10年(1998)1月23日

(51) Int.Cl.⁸

H0 4 J 3/16

3/04

識別記号

庁内整理番号

FI

H04J 3/16

3/04

技術表示箇所

$$\mathbf{z}$$

Z

審査請求 未請求 請求項の数 2 FD (全 14 頁)

(21)出願番号

特願平8-195235

(22) 出題目

平成8年(1996)7月8日

(71)出願人 000003595

株式会社ケンウッド

東京都渋谷区道玄坂1丁目14番6号

(72)発明者 松島 幸雄

東京都渋谷区道玄坂1丁目14番6号 株式
会社ケンウッド内

(72)発明者 坂井 昭一郎

東京都渋谷区道玄坂1丁目14番6号 株式会社ケンウッド内

(72)発明者 北野 正博

東京都渋谷区道玄坂1丁目14番6号 株式
会社ケンウッド内

(74)代理人 弁理士 砂子 信夫

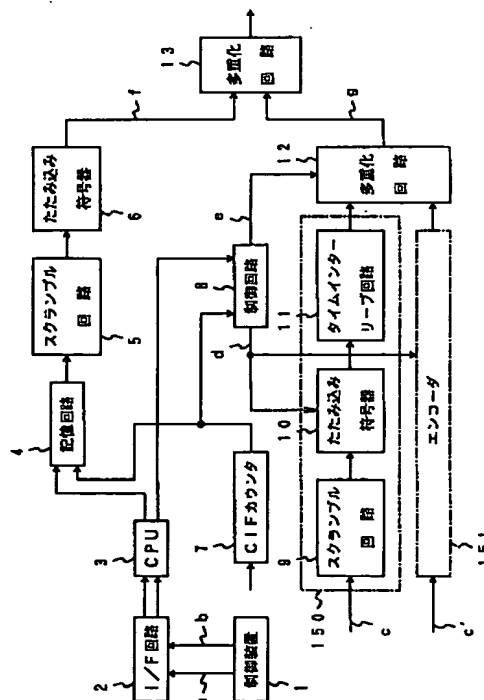
[最終頁に続く](#)

(54) 【発明の名称】 デジタル信号多重化装置

(57) 【要約】

【課題】 複数の異なるビットレートのサービスデータの多重、かつビットレートを信号送出中にも可変することができるデジタル多重化装置を提供する。

【解決手段】 指示された情報に基づいてどのようなサービスが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとを制御装置１にて生成し、生成された多重情報データを記憶回路４に書き込み、かつ生成されたコマンドがエンコーダの制御信号にＣＰＵ３によって変換し、記憶回路４から読み出された多重情報データをフォーマットにしたがいたたみ込み符号器６にて符号化し、複数のサービスがＣＰＵ３により変換された制御信号に基づきそれぞれフォーマットにしたがってたたみ込み符号器１０にて符号化し、たたみ込み符号器１０にて符号化された複数のサービスを多重化回路１２にて多重化し、たたみ込み符号器６にて符号化されたデータと多重化回路１２にて多重化されたデータとを多重化回路１３にて多重化する。



【特許請求の範囲】

【請求項1】 ベースバンド上で時分割に複数のサービスデータを多重化するディジタル信号多重化装置において、指示された情報に基づいてどのようにサービスデータが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとを生成する情報生成手段と、前記情報生成手段により生成された多重情報データを記憶する記憶回路と、前記記憶回路への多重情報データの書き込み制御を行うとともに前記情報生成手段により生成されたコマンドをエンコードの制御信号に変換する変換手段と、前記記憶回路から読み出された多重情報データをフォーマットにしたがいエンコードする第1のエンコーダと、複数のサービスデータを前記変換手段により変換された制御信号に基づきそれぞれフォーマットにしたがいエンコードする第2のエンコーダと、第2のエンコーダによってエンコードされた複数のサービスデータを多重化する第1の多重化回路と、第1のエンコーダにてエンコードしたデータと第1の多重化回路により多重化されたデータとを多重化する第2の多重化回路とを備え、異なるビットレートのサービスデータを複数多重化することを特徴とするディジタル信号多重化装置。

【請求項2】 請求項1記載のディジタル信号多重化装置において、記憶回路に複数種類の多重情報データを書き込み、記憶回路から読み出された複数種類の多重情報データに基づき第2のエンコーダへの制御信号を指定されたフレームで切り替えるエンコード制御回路を備えて、時間的な連続性を保って多重化の状態を周期的に変化させることを特徴とするディジタル信号多重化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ベースバンド上で時分割に複数のサービスデータを多重化するディジタル信号多重化装置に関し、さらに詳細には、欧州規格のディジタルオーディオ放送システムの受信機のシミュレータ等に利用されるテスト信号発生器の中のディジタル信号多重化装置に関する。

【0002】

【従来の技術】 ベースバンド上で、サービスデータを時分割で多重化する放送システムとして、CS衛星を利用したCS PCM音楽放送システムがある。これは、BS放送のPCM音楽放送フォーマットの2.048Mbpsの信号を6チャンネル分多重化する方式であって多重するサービスデータは常に、ビットレートが2.048Mbpsに固定されている。

【0003】 一方、欧州のディジタルオーディオ放送規格のディジタル音声放送システム（以下、DABと記す）では、従来の放送（番組）1チャンネルに相当するサービスデータを、各々異なるビットレートで複数多重化することができ、さらに時間的な連続性を損なうことなし

に多重化されるサービスデータのビットレートを放送中に可変すること（以下、多重再構成とも記す）も可能なフォーマットになっている。

【0004】 欧州のDAB規格(European Telecommunication Standard、ETS 300 401)に規定されているように伝送される情報は、受信側で同期を取るために必要な同期情報が伝送される同期チャンネル(Sync)、受信機が選局するのに必要な情報や番組に対する補助的な情報が多重化されているファストインホメーションチャンネル（以下、ファストインフォメーションチャンネル(Fast information Channel)をFICとも記す)、音声データなどのサービスデータを多重しているメインサービスチャンネル（以下、メインサービスチャンネル(Main Service Channel)をMSCとも記す）とからなっている。

【0005】 DAB規格のディジタル信号多重化装置においては、多重化情報(Multiplex Configuration Information(以下MCIとも記す))をFICのフォーマットに変換し多重化する必要がある。さらに、上記の多重化情報(MCI)に合致したMSCのエンコードを行わなければならない。さらに多重再構成でサービスデータのビットレートが変更される場合には、指定されたタイミングでエンコーダの設定を変化させなければならない。特に、タイムインターリーブがフレーム単位で、フレーム間にわたって行われ、その深さは最大15フレームにわたるので、多重再構成でビットレートが変更されるときには、タイムインターリーブの処理時間を考慮して、たたみ込み符号器のパンクチャードの変更の切り換えタイミングを補正する必要がある。具体的には、ビットレートが小さくなる場合には、その変化する15フレーム前にパンクチャードを変更する必要がある。

【0006】

【発明が解決しようとする課題】 しかしながら、予め（使用者が）指示した多重情報に合致した形で複数の異なるビットレートのサービスデータを多重することが可能であり、かつビットレートを信号送出中にも可変することができるディジタル多重化装置はなかった。

【0007】 本発明は、予め（使用者が）指示した多重情報に合致した形で複数の異なるビットレートのサービスデータを多重することが可能であり、かつビットレートを信号送出中にも可変することができるディジタル多重化装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明にかかるディジタル信号多重化装置は、ベースバンド上で時分割に複数のサービスデータを多重化するディジタル信号多重化装置において、指示された情報に基づいてどのようにサービスデータが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとを生成する情報生成手段と、前記情報生成手段により生成された多重

情報データを記憶する記憶回路と、前記記憶回路への多重情報データの書き込み制御を行うとともに前記情報生成手段により生成されたコマンドをエンコーダの制御信号に変換する変換手段と、前記記憶回路から読み出された多重情報データをフォーマットにしたがいエンコードする第1のエンコーダと、複数のサービスデータを前記変換手段により変換された制御信号に基づきそれぞれフォーマットにしたがいエンコードする第2のエンコーダと、第2のエンコーダによってエンコードされた複数のサービスデータを多重化する第1の多重化回路と、第1のエンコーダにてエンコードしたデータと第1の多重化回路により多重化されたデータとを多重化する第2の多重化回路とを備え、異なるビットレートのサービスデータを複数多重化することを特徴とする。

【0009】指示された情報に基づいてどのようにサービスデータが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとが情報生成手段によって生成され、生成された多重情報データが記憶回路に書き込まれると共に生成されたコマンドがエンコーダの制御信号に変換手段によって変換され、記憶回路から読み出された多重情報データがフォーマットにしたがい第1のエンコーダによってエンコードされ、複数のサービスデータが変換手段により変換された制御信号に基づきそれぞれフォーマットにしたがい、第2のエンコーダによってエンコードされ、第2のエンコーダによってエンコードされた複数のサービスデータが第1の多重化回路によって多重化され、第1のエンコーダにてエンコードされたデータと第1の多重化回路により多重化されたデータとが第2の多重化回路によって多重化されて、異なるビットレートのサービスデータが複数多重化される。

【0010】本発明にかかるデジタル信号多重化装置は、記憶回路に複数種類の多重情報データを書き込み、記憶回路から読み出された複数種類の多重情報データに基づき第2のエンコーダへの制御信号を指定されたフレームで切り替えるエンコード制御回路を備えて、時間的な連続性を保って多重化の状態を周期的に変化させることを特徴とする。

【0011】記憶回路に複数種類の多重情報データが書き込まれ、記憶回路から読み出された複数種類の多重情報データに基づいて第2のエンコーダへの制御信号が指定されたフレームで切り替えられ、時間的な連続性を保って多重化の状態が周期的に変化させられる。

【0012】

【発明の実施の形態】以下、本発明にかかるデジタル信号多重化装置を実施の形態により説明する。図1は本発明の実施の一形態にかかるデジタル信号多重化装置の構成を示すブロック図であり、多重化されるサービスデータがMPEG音声信号cの1チャンネルと他のMPEG音声信号c'の1チャンネルとの場合の例であ

る。

【0013】本発明の実施の一形態にかかるデジタル信号多重化装置の説明の前に、先ず、DAB規格(European Telecommunication Standard, ETS 300 401)に規定されるデータの基本構成について簡単に説明する。

【0014】図7に示すように、伝送フレームは同期チャンネル(Sync)、FIC、MSCから構成されている。FICは各256ビットの複数のファストインフォメーションブロック(以下、FIB(Fast Information Block)とも記す)と呼ばれるデータブロックによって構成されている。FIBはMSCに多重化されているサービスデータに関する情報を有し、この制御情報の必須部分がMCIと呼ばれている多重情報データである。FICはタイムインターリーブされず、MSCはタイムインターリーブされる。

【0015】図7に示すようにMSCは伝送モードに基づいて1つ(伝送モードが「2」または「3」のとき)、または4つ(伝送モードが「1」のとき)のコモンインターリーブドフレーム(以下、CIF(Common Interleaved frame)とも記す)によって構成されている。CIFは24ms周期のフレームで構成されているMP EG音声信号に関連し、24msのフレームで、エンコードされた複数のサービスデータが多重化された構成になっている。またこのフレームはタイムインターリーブの処理の基本単位でもある。構成は図8に示され、CIFとMSCの関係は図7に示されている。

【0016】図8に示すようにCIFは複数のサブチャンネル(Sub Channel)から構成されている。ここで、サブチャンネルとは、エンコードされたサービスデータを意味している。CIFはアドレス指定可能なキャパシティユニット(以下、CU(capacity Unit))から構成されてされている。CUは64ビットからなっている。CIFは55296ビット、したがって、864CUにて構成されることになる。図8においてSubChldはサブチャンネル識別符号を示している。

【0017】FIBの一般的な構成を図9に示す。FIBは複数のファストインフォメーショングループ(以下、FIG(Fast Information Group)とも記す)と呼ばれるデータグループと巡回冗長符号(CRC)とによって構成されている。FIGはFIGヘッダとFIGデータフィールドとからなっている。FIGヘッダはFIGタイプを示す3ビット(b7~b5)と、FIGデータフィールドの長さを示す5ビット(b4~b0)からなっている。

【0018】FIGタイプ「0」フィールドの場合のFIGにおけるデータフィールドは図10に示すごとく構成されていて、b7ビットC/Nは現在の多重情報か次の多重情報かの状況を示すフラグである。b4~b0ビット(イクステンション)は、FIGデータフィール

10

20

30

40

50

5

ドがどのような内容の情報かを示す識別信号で、多重構成に関する必須の情報は、イクステンション#0#とイクステンション#1#に用意されている。

【0019】FIGタイプ#0#フィールド、イクステンション#1#(FIG0/1)の場合におけるFIGデータフィールドは、図11に示す如くであって、b9～b0の10ビットはCUのスタートアドレス(0～863)を示している。ショート/ロングフォームは、ショートフォームは音声サービスを、ロングフォームはデータサービスを示している。ショートフォームの場合、

サイズとプロテクションはインデックスで示している。
【0020】FIGタイプ#0#フィールド、イクステンション#0#(FIG0/0)の場合は図12に示す如くであって、図12においてCIFカウンタと記されているb12～b0の13ビットは継続するCIFをカウントするCIFカウンタの計数値であって、その内のb12～b8の5ビットはCIFカウンタの上位ビットであって、0～19までの計数値が、残りのb7～b0の8ビットはCIFカウンタの下位ビットである。チェン

ンジフラグは多重再構成の有無を示すフラグであって、
#00#のときは多重再構成なしの場合でこの場合はオカレンスチェンジは付加されない。それ以外では、オカレンスチェンジの8ビットが付加される。
【0021】タイムインターリーブはフレーム間にわたって行われ、かつインターリーブの深さは0フレームから15フレームにわたる16通りあるため、インターリーブの処理に最大15フレーム分かかってしまう。したがって、多重再構成が発生する場合にその処理時間を考慮する必要がある。図13において横軸はフレーム数を示し、縦軸はビットレート(フレーム当たりのビット数)を示し、図13(a)はタイムインターリーブ前のサブチャンネルNo. 1の場合を示し、4CUから6CUへ増加する場合は時点t2においてビットレートが切り換えられ、6CUから4CUへ減少する場合は時点t3においてビットレートが切り換えられることを示している。図13(b)はタイムインターリーブ前のサブチャンネルNo. 2の場合を示し、6CUから4CUへ減少する場合は時点t1において切り換えられ、4CUから6CUへ増加する場合は時点t4において切り換えられることを示している。時点t1とt2との間および時点t3とt4との間には15フレームの間隔がある。

【0022】一方、図13(c)はタイムインターリーブ後のサブチャンネルを示しており、ここで、時点t2は第1のオカレンスチェンジの位置、すなわち第1の切替位置を示し、時点t4は第2のオカレンスチェンジの位置、すなわち第2の切替位置を示し、時点t2～t4の間隔は固定フレーム数で最小250フレーム分と規定されている。

【0023】ここで図1に戻って、パーソナルコンピュータからなる制御装置1上で多重情報データ(MCI)

6

をDABフォーマットで作成する(Fast Information Block assemblerに相当)とともに、MSCエンコードの制御信号として多重情報データに合致した内容のコマンドを作成する。DABフォーマットで作成された多重情報データ(MCI)を含むFIBをaで示し、MSCエンコードの制御信号として作成された多重情報データに合致した内容のコマンドをbで示す。制御装置1はインタフェース回路2を通じてCPU3と通信する。

【0024】DABフォーマットで作成したFIBデータ(多重情報データ)aは、CPU3を介してCPU3の制御のもとに記憶回路4に格納される。格納されたFIBデータ(多重情報データ)aは、フレーム毎にCIFの計数をするフレームカウンタであるCIFカウンタ7の計数時に同期して読み出され、スクランブル回路5においてスクランブルされ、スクランブルされたFIBデータはたたみ込み符号器6に供給されてたたみ込み符号化され、FICデータfとして出力される。

【0025】MSCエンコード150、151へのコマンドは、CPU3上でエンコード150、151が処理しやすいデータに変換されて、エンコード制御回路8に入力される。エンコード制御回路8から出力される制御信号d、eはCIFカウンタ7の計数時に同期して、たたみ込み符号器10およびメインサービスマルチプレクサである多重回路12へそれぞれ送られる。

【0026】MSCエンコード150に供給された一方のサービスデータ入力であるMPEG音声信号cはスクランブル回路9に供給されてスクランブルされ、スクランブルされたMPEG音声信号は制御信号dに基づいて制御されるたたみ込み符号器10に供給されてたたみ込み符号化され、たたみ込み符号化されたMPEG音声信号はタイムインターリーブ回路11に供給されてタイムインターリーブされる。

【0027】MSCエンコード151に供給された他方のサービスデータ入力であるMPEG音声信号c'も同様に、スクランブルされ、スクランブルされたMPEG音声信号はたたみ込み符号化され、たたみ込み符号化されたデジタル音声信号はタイムインターリーブされる。

【0028】タイムインターリーブされてMSCエンコード150から出力されたMPEG音声信号cとタイムインターリーブされてMSCエンコード151から出力されたMPEG音声信号c'とはエンコード制御回路8からの制御信号eによって制御されるメインサービスマルチプレクサである多重回路12において多重されて、MSCデータ(CIF)に変換される。多重化回路12において多重されたMSCデータ(CIF)gは、さらに伝送フレームマルチプレクサである多重化回路13でFICデータfと多重され、DAB伝送フレームとして出力される。

【0029】上記のように構成された本発明の実施の一形態にかかるデジタル信号多重化装置の作用について説

明する。多重再構成の2種類の状態に対応して一方をサービスA、インデックスA、スタートアドレスAなどの称呼を、他方に対応してサービスB、インデックスB、スタートアドレスBなどの称呼を用いる。

【0030】まず、使用者によって、制御装置1上で、
「0」か「1」の選択によって多重再構成フラグが、「0」～「249」中の一つを指定することによってオカレンスチェンジの位置が、「0」～「863」中の一つを指定することによってスタートアドレスAが、「0」～「63」中の一つを指定することによってインデックスAが、「0」～「863」中の一つを指定することによってスタートアドレスBが、「0」～「63」中の一つを指定することによってインデックスBが、それぞれ設定される。

【0031】使用者によって指定された各値をそのままコマンドbとして制御装置1からインタフェース回路2を介してCPU3へ送出され、CPU3においてエンコーダが処理しやすいデータに変換される。変換されたデータが制御回路8へ送出される。

【0032】また、上記使用者によって指定された各値に基づいて制御装置1においてFIBデータaが生成される。この生成は、FIGタイプ「0」、イクステンション「1」（FIG0/1）中のスタートアドレス、テーブルインデックス、インデックス（サイズ）を設定することによりなされる（図11参照）。再構成フラグが「1」に設定されているとき、すなわち多重再構成が指示されているときはFIGタイプ「0」、イクステンション「0」（FIG0/0）中のオカレンスチェンジ位置に使用者によって設定されたオカレンスチェンジの値が設定される（図12参照）。

【0033】上記において値が設定されたFIG（0/1）およびFIG（0/0）には、図9および図10に示されたフォーマットにしたがってFIGヘッダが付加され、図9に示されたフォーマットにしたがって他のFIGが多重され、CRCが付加されてFIBデータaに変換される。このようにして変換されたFIBデータa、500フレーム分がインタフェース回路2を介してCPU3へ送出される。

【0034】ここで、500フレーム分としたのは、図13の説明中において、第1のおよび第2のオカレンス位置間の最小フレーム数は250フレームと規定されていることを説明したが、これは少なくとも250フレームは多重構成に変化がないことを示し、500フレームあれば2つのサービスデータの多重状態を実現できるからである。

【0035】多重再構成フラグがセットされている場合、500フレーム中の一つのサービス（A）のフレームではスタートアドレスAとインデックスAは、C/Nフラグ（図10参照）を「0」（現在の多重構成）としたFIG（0/1）に設定し、スタートアドレスBとインデックスBは、C/Nフラグ（図10参照）を「1」

（次の多重構成）「1」としたFIG（0/1）に設定する。

【0036】また、500フレーム中の他のサービス（B）のフレームではスタートアドレスBとインデックスBは、C/Nフラグ（図10参照）を「0」（現在の多重構成）としたFIG（0/1）に設定し、スタートアドレスAとインデックスAは、C/Nフラグ（図10参照）を「1」（次の多重構成）としたFIG（0/1）に設定する。

【0037】多重再構成フラグがセットされていない場合、すなわち多重再構成のない場合は、DAB規格のフォーマット（FIG（0/1））にしたがいスタートアドレスとインデックスの情報が設定される。ここで、EIBの中のFIG（0/0）とFIG（0/1）とは多重情報データ（MCI）を構成している。

【0038】一方、フレーム単位でCIFを計数するCIFカウンタ7は13ビットのカウンタであって、上位5ビットが0～19を計数し、下位8ビットが0～249を計数する5000（20×250）進のフレームカウンタである。

【0039】制御装置1、インタフェース回路2およびCPU3によって生成されたFIBフォーマットのFIBデータaは記憶回路4に格納される。ここで記憶回路4の記憶容量は、上記したように2つのサービスデータの多重状態を実現することができる必要最小限の500フレーム分のデータを格納する容量に設定してある。

【0040】記憶回路4の記憶容量について説明すれば、上記したように、多重情報は250フレームの間は一定であることが規定されているので、2つの状態を実現するためには、500フレーム分の情報が必要であって、このことが記憶回路4の記憶容量を決めている。逆に500フレーム分の記憶容量であるので、一番頻りに状態が変化する一番厳しい条件、すなわち250フレーム毎に状態が変化する1番厳しい条件のシミュレートが可能になっている。

【0041】記憶回路4における記憶内容は、DAB規格のフォーマットにしたがいスタートアドレスとインデックスの情報が格納されている（FIG0/1）。本発明の実施の一形態にかかるデジタル信号多重化装置では、入力には2つあるが、例えばMPEG音声信号cのSubChldを1とすると、FIG（0/1）のフォーマットでSubChld=1のスタートアドレスとインデックスに、MPEG音声信号cに対応したスタートアドレスとインデックスとが書き込まれる。図2（a）の例ではスタートアドレスが0、インデックスが11と書き込まれている。記憶回路4に格納されているFIGデータはCIFカウンタ7における計数に同期して読み出される。

【0042】また、多重再構成がある場合における記憶回路4における記憶内容は、図2（b）に示すように、一方のサービスAの状態と他方のサービスBの状態が2

50フレーム毎で切り替わるようになっている。オカレンスチェンジは多重再構成がおこるCIFカウンタ7の下位8ビットの値である。オカレンスチェンジはFIG(0/0)のフォーマットに書き込まれており、この例では100である。スタートアドレスとインデックスはFIG(0/1)に書き込まれており、この例では、一方のサービスAに対してはスタートアドレスAは0が、インデックスAは11が書き込まれており、他方のサービスBに対してはスタートアドレスBは6、インデックスBは10が書き込まれている。

【0043】上記のようにして形成されて記憶回路4に格納された多重データであるFIBデータaは、CIFカウンタ7によるCIFの計数時に同期して読み出されて、スクランブルされ、スクランブルについて、たたみ込み符号化されて、多重化回路13へ送出される。

【0044】MPEG音声信号cは一方のサービスデータであって、スクランブル回路9においてスクランブルされ、たたみ込み符号器10においてたたみ込み符号化される。たたみ込み符号化に際してはエンコード制御回路8から出力されるコマンドdに基づくインデックスにしたがってたたみ込みのパンクチャード等が切替制御される。たたみ込み符号化された出力はタイムインターリーブ回路11においてタイムインターリーブされた後、エンコード制御回路8から出力される制御信号eに基づき制御される多重化回路12において他のサービスデータと多重化され、さらにDAB伝送フォーマットに多重化されることになる。

【0045】次に、たたみ込み符号器10における作用について説明する。エンコード制御回路8から出力されるコマンドdに基づくインデックスにしたがい、DAB規格において定められている図14に示すように、MPEG音声信号cに対する、サブチャンネルサイズと、誤り訂正の強さを示すプロテクションレベルとビットレートとが割り当てられ、たたみ込み符号器10の出力のサブチャンネルサイズ(フレーム当たりのビット数)が決まる。つまり、たたみ込み符号器10では、インデックスにしたがいパンクチャードを行い規定されたサイズで出力する。

【0046】さらに詳細には、フレーム単位でたたみ込み符号器10に入力されるビット数はインデックスに依存する。1フレームは24msであるため、例えば、インデックス11では図14に基づき56kbp/sのデータであって、1344(56×24)ビット/フレームがたたみ込み符号器10に入力される。たたみ込み符号器10は、図15に示すように1ビット遅延器21～26から構成されたシフトレジスタ27と、モジュロ2加算器28～38とから構成された拘束長7、符号符号化率1/4のたたみ込み符号器であって、入力されたデータは5400(1344×4+24)ビットのマザーコードに変換される。

【0047】5400ビットの最初の5376(128×42)ビットは128ビット単位の42のブロックに分けられる。42ブロックは図16に示すDAB規格のオーディオサービスコンポネント保護プロファイルの、インデックス11に対応して6、10、23、3のレベル(L1～L4)に分割され、それぞれに対してパンクチャードインデックス(PI1～PI4)9、6、4、5が割り当てられる。

【0048】さらに42ブロックは32ビット単位のサブブロックに分割され、上記のパンクチャードインデックス(最初の6ブロックはパンクチャードインデックス9、次の10ブロックはパンクチャードインデックス6、その次の23ブロックはパンクチャードインデックス4、最後の3ブロックはパンクチャードインデックス5)をパラメータとして、図17に示すDAB規格のパンクチャードベクトルに基づきパンクチャードされる。残りの24ビットはテールビットとして固定のパンクチャードがなされる。

【0049】このようにインデックスに基づいてたたみ込みのパンクチャードが切替られる。すなわち、インデックスをパラメータとして符号符号化率を変更している。上記のようにしてパンクチャードされたデータ、この例では35CUすなわち2240ビットが出力される。たたみ込み符号器10からの出力はタイムインターリーブされる。エンコーダ151においても同様の作用が行われる。

【0050】エンコーダ150および151から送出されるタイムインターリーブされた出力は、エンコーダ制御回路8から出力される制御信号eとしてのスタートアドレスとサイズが供給された多重化回路12において、多重化される。この多重化についてさらに説明する。すなわち、スタートアドレスと、インデックスから求められるサイズから多重化する位置が決定される。第3図は、CIFのどの位置に多重化されているかを示す図である。

【0051】図3(a)は多重再構成が無い場合で、スタートアドレスが0、インデックス11であることからサブチャンネルサイズはCU単位で35(図14参照)であって、0CUから34CUに多重化される。CU=64ビットであって、多重化されるデータは64ビットの倍数である。図3(b-1)および図3(b-2)は、多重再構成がある場合で、サービスAの状態(図3(b-1))とサービスBの状態(図3(b-2))が250フレーム毎に切り替わる。サービスBの状態ではスタートアドレスが6(CU)に指定された場合である(図3(b-2))。

【0052】多重再構成がない場合は、スタートアドレスとインデックスの値は一定である。多重再構成のある場合、図13に示されているように、タイムインターリーブの関係から、ビットレートが小さくなる場合、この

例では、サービスAの状態からサービスBの状態に変化する場合、たたみ込み符号器10へのインデックスは、タイムインターリーブ前のデータなのでオカレンスチェンジに対して15フレーム前に切り替えられる。サービスBの状態からサービスAの状態に切り替わる場合はオカレンスチェンジで切り変わる。

【0053】次に、多重化回路12について見れば、多重化回路12においてはタイムインターリーブ後のデータなので必ずオカレンスチェンジで切替られる。

【0054】これらのことを図4(a)および(b)に示す。図4(a)はタイムインターリーブ前のサブチャンネルサイズを、図4(b)はタイムインターリーブ後のサブチャンネルサイズを示している。いま、CIFカウンタ7の計数値の下位8ビットを示せば図5(a)に示すごとくであり、上位5ビットのLSB(5ビット目)は図5(b)に示すように250個のCIFを計数したときに反転する。しかるにたたみ込み符号器10へはエンコーダ制御器8からインデックスが送られ、このインデックスは図5(c)に示すようなタイミングで切替られる。すなわちサービスAからサービスBへ切替られるときは100フレームから15フレーム前のときである。多重化回路12へはエンコーダ制御器8からスタートアドレスとサブチャンネルサイズとが送られ、このスタートアドレスとサブチャンネルサイズとは図5(d)に示すようなタイミングで切替られる。すなわちサービスBからサービスAへ、およびサービスAからサービスBへ切替られるときは100フレームのとき、つまり必ずオカレンスチェンジで切替られる。

【0055】制御装置1は記憶回路4に書き込んだ内容に等しい多重化情報データをコマンドとしてCPU3に転送する。コマンドの内容としては、多重再構成フラグ、オカレンスチェンジ、スタートアドレスA、インデックスA、スタートアドレスBおよびインデックスBである。

【0056】ここで、CPU3の作用をフローチャートに示せば図6のとおりである。コマンドを受信すると、多重再構成フラグがセットされているか否かがチェックされる(ステップS1)。ステップS1において多重再構成フラグがセットされていないと判別されたときは、サービスAのサブチャンネルサイズが算出される(ステップS2)。以下、サブチャンネルサイズの算出との記載はインデックスを参照して図14から求めることを示す。ステップS2に続いてスタートアドレスA、サブチャンネルサイズA、インデックスAが出力される(ステップS3)。図6において処理#1#と記してある。

【0057】ステップS1において多重再構成フラグがセットされていると判別されたときは、サービスAのサブチャンネルサイズとサービスBのサブチャンネルサイズが算出される(ステップS4)。ステップS4に続いて、サービスAのサブチャンネルサイズがサービスBの

サブチャンネルサイズより大か否かがチェックされる(ステップS5)。

【0058】ステップS5においてサービスAのサブチャンネルサイズがサービスBのサブチャンネルサイズより大きいと判別されたときは、スタートアドレスA、サブチャンネルサイズA、インデックスA、スタートアドレスB、サブチャンネルサイズB、インデックスB、オカレンスチェンジA=オカレンスチェンジ、オカレンスチェンジB=オカレンスチェンジ-15、オカレンスチェンジC=オカレンスチェンジ、の処理がなされて、それぞれ出力される(ステップS6)。図6において処理#2#と記してある。

【0059】ステップS5においてサービスAのサブチャンネルサイズがサービスBのサブチャンネルサイズより大きくないと判別されたときは、サービスAのサブチャンネルサイズとサービスBのサブチャンネルサイズとが等しいか否かがチェックされる(ステップS7)。

【0060】ステップS7においてサービスAのサブチャンネルサイズとサービスBのサブチャンネルサイズとが等しいと判別されたときは、スタートアドレスA、サブチャンネルサイズA、インデックスA、スタートアドレスB、サブチャンネルサイズB、インデックスB、オカレンスチェンジA=オカレンスチェンジ、オカレンスチェンジB=オカレンスチェンジ、オカレンスチェンジC=オカレンスチェンジ、の処理がなされて、それぞれ出力される(ステップS8)。図6において処理#3#と記してある。

【0061】ステップS7においてサービスAのサブチャンネルサイズとサービスBのサブチャンネルサイズとが等しくないとして判別されたときは、スタートアドレスA、サブチャンネルサイズA、インデックスA、スタートアドレスB、サブチャンネルサイズB、インデックスB、オカレンスチェンジA=オカレンスチェンジ-15、オカレンスチェンジB=オカレンスチェンジ、オカレンスチェンジC=オカレンスチェンジ、の処理がなされて、それぞれ出力される(ステップS9)。図6において処理#3#と記してある。

【0062】上記の処理#1#、処理#2#、処理#3#、処理#4#のうちの1つの処理出力がエンコーダ制御回路8に入力される。多重再構成フラグ=0の時(処理#1#の処理出力が送出される場合)は、インデックスAをたたみ込み符号器10に、スタートアドレスA、サイズAを多重回路12に送る。

【0063】多重再構成フラグ=1のとき(処理#2#、処理#3#、または処理#4#中の1つの処理出力が送出される場合)は、たたみ込み符号器10に送るインデックスは、奇数フレーム(CIFカウンタの(上位5ビットの内のLSBが0)では、オカレンスチェンジAのタイミングでインデックスAに切り替え、偶数フレーム(CIFカウンタの(上位5ビットの内のLSB

10

20

30

40

50

が1)では、オカレンスチェンジBのタイミングでインデックスBに切り替える。

【0064】多重回路12には、奇数フレームではオカレンスチェンジCのタイミングでスタートアドレスAとサブチャンネルサイズAに切替え、偶数フレームではオカレンスチェンジCのタイミングでスタートアドレスBとサイズBに切り替える。

【0065】

【発明の効果】以上説明したように本発明にかかるデジタル信号多重化装置によれば、予め（使用者が）指示した多重情報に合致した形で複数の異なるビットレートのサービスデータを多重することが可能であり、かつビットレートを信号送出中にも可変することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態にかかるデジタル信号多重化装置の構成を示す構成図である。

【図2】本発明の実施の一形態にかかるデジタル信号多重化装置における記憶回路の記憶内容の説明に供する模式図である。

【図3】本発明の実施の一形態にかかるデジタル信号多重化装置におけるCIFの多重化位置の説明に供する模式図である。

【図4】本発明の実施の一形態にかかるデジタル信号多重化装置における多重再構成時のタイムインターリーブ回路の入出力でのサブチャンネルサイズの変化の説明に供する模式図である。

【図5】本発明の実施の一形態にかかるデジタル信号多重化装置における多重再構成時のエンコード制御回路が制御信号を出力するその切り替えタイミングの説明に供する模式図である。

【図6】本発明の実施の一形態にかかるデジタル信号多重化装置におけるCPUがコマンドを受信したときの作用の説明に供するフローチャートである。

【図7】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられる伝送フォーマットの構成を示す模式図である。

【図8】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられるCIF、サブチャンネル、CUとの関係を示す模式図である。

【図9】本発明の実施の一形態にかかるデジタル信号多

重化装置に用いられるFIBのフォーマットの構成を示す模式図である。

【図10】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられるFIGタイプ#0#フィールドのフォーマットの構成を示す模式図である。

【図11】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられるFIGタイプ#0#フィールド／イクステンション#1#のフォーマットの構成を示す模式図である。

10 【図12】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられるFIGタイプ#0#フィールド／イクステンション#0#のフォーマットの構成を示す模式図である。

【図13】本発明の実施の一形態にかかるデジタル信号多重化装置に用いられるたたみ込み符号器の多重再構成時の切替の説明に供する模式図である。

【図14】本発明の実施の一形態にかかるデジタル信号多重化装置におけるインデックスとサブチャンネルサイズとの関係（パンクチャード情報）を示す図である。

20 【図15】本発明の実施の一形態にかかるデジタル信号多重化装置に用いるたたみ込み符号器の構成を示すブロック図である。

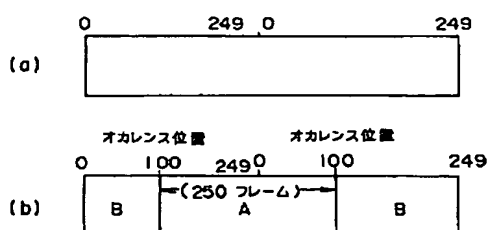
【図16】本発明の実施の一形態にかかるデジタル信号多重化装置におけるインデックスと保護プロファイルとの関係を示す図である。

【図17】本発明の実施の一形態にかかるデジタル信号多重化装置におけるパンクチャードベクトルを示す図である。

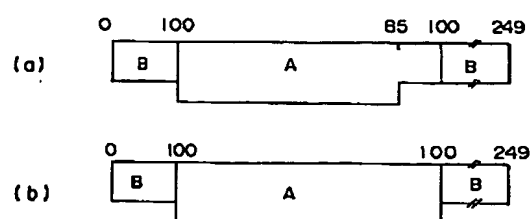
【符号の説明】

- 30 1 制御装置
2 インターフェース回路
3 CPU
4 記憶回路
5および9 スクランブル回路
6および10 たたみ込み符号器
7 CIFカウンタ
8 エンコード制御回路
11 タイムインターリーブ回路
12および13 多重回路

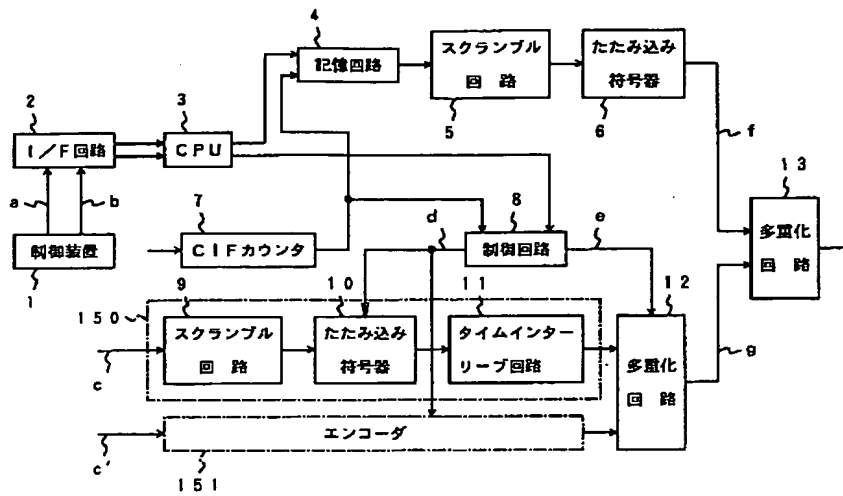
【図2】



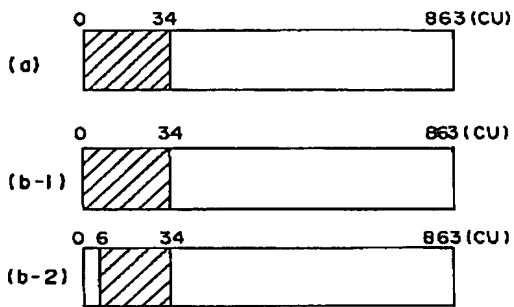
【図4】



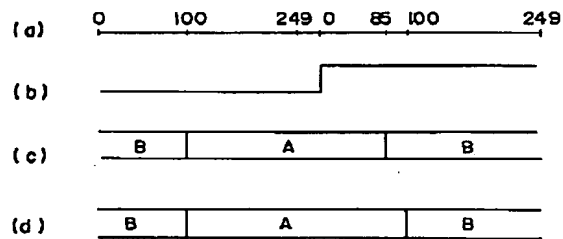
【図1】



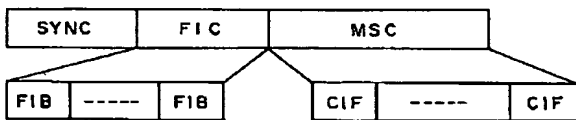
【図3】



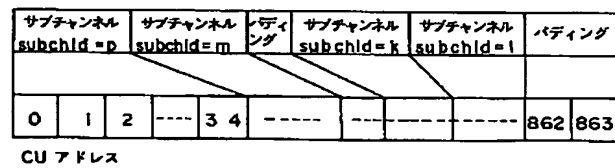
【図5】



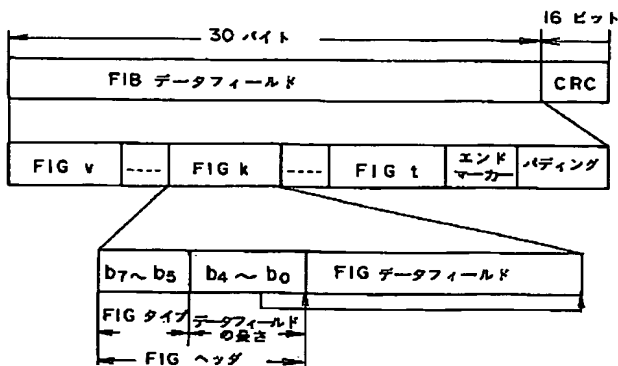
【図7】



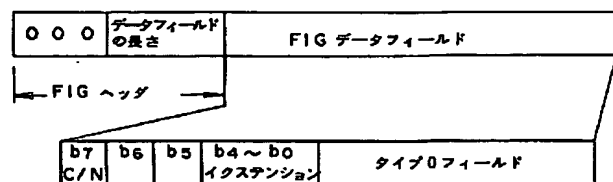
【図8】



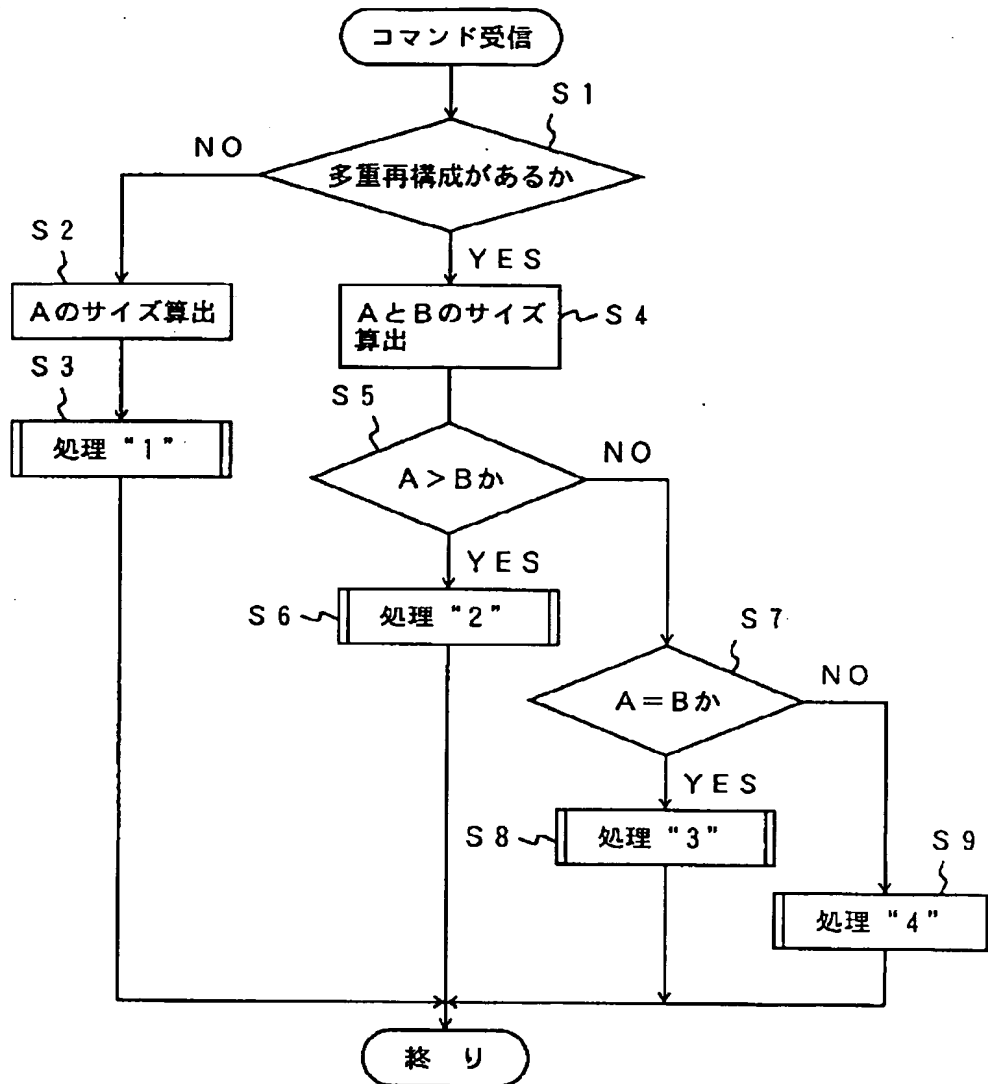
【図9】



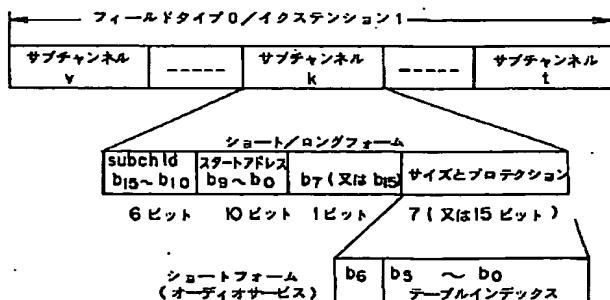
【図10】



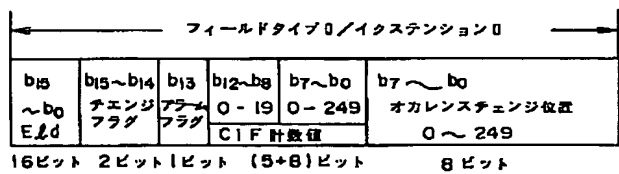
【図6】



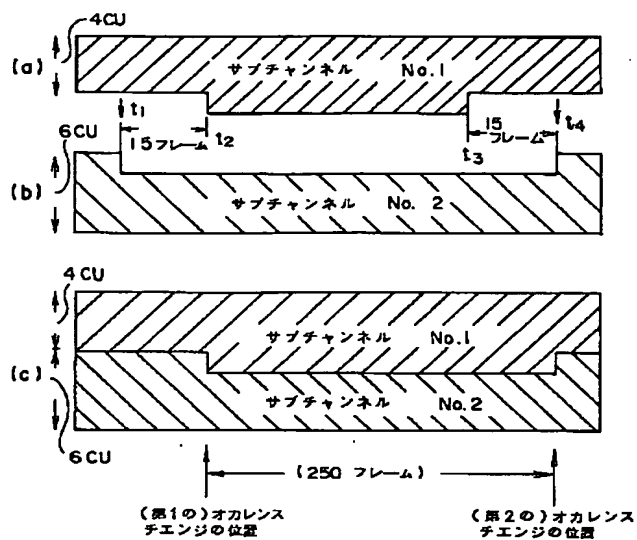
【図11】



【図12】



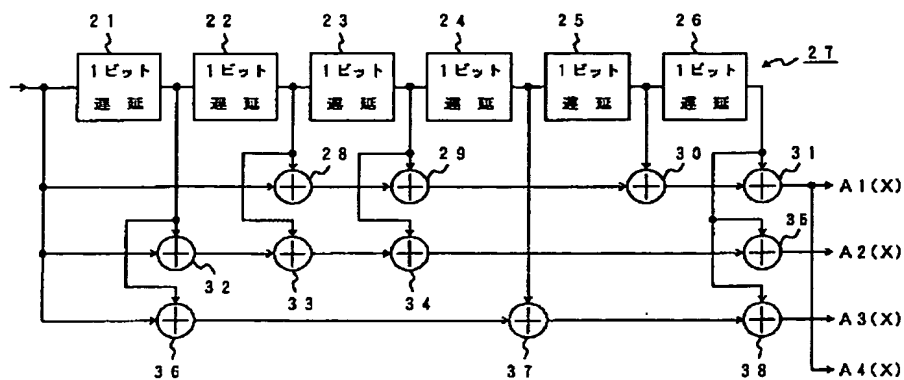
【図13】



【図14】

インデックス	サブチャンネル サイズ (CU)	保護 レベル	ビット レート	インデックス	サブチャンネル サイズ (CU)	保護 レベル	ビット レート
0	16	5	32	33	64	5	128
1	21	4	32	34	84	4	128
2	24	3	32	35	96	3	128
3	29	2	32	36	116	2	128
4	35	1	32	37	140	1	128
5	24	5	48	38	80	5	160
6	29	4	48	39	104	4	160
7	35	3	48	40	116	3	160
8	42	2	48	41	140	2	160
9	52	1	48	42	168	1	160
10	29	5	56	43	96	5	192
11	35	4	56	44	116	4	192
12	42	3	56	45	140	3	192
13	52	2	56	46	168	2	192
14	x	x	x	47	208	1	192
15	32	5	64	48	116	5	224
16	42	4	64	49	140	4	224
17	48	3	64	50	168	3	224
18	58	2	64	51	208	2	224
19	70	1	64	52	232	1	224
20	40	5	80	53	128	5	256
21	52	4	80	54	168	4	256
22	58	3	80	55	192	3	256
23	70	2	80	56	232	2	256
24	84	1	80	57	280	1	256
25	48	5	96	58	160	5	320
26	58	4	96	59	208	4	320
27	70	3	96	x	x	x	x
28	84	2	96	60	280	2	320
29	104	1	96	x	x	x	x
30	58	5	112	61	192	5	384
31	70	4	112	x	x	x	x
32	84	3	112	62	280	3	384
x	104	2	112	x	x	x	x
				63	416	1	384

【図15】



【図16】

インデックス	オーディオビットレート (kbit/s)	P	L ₁	L ₂	L ₃	L ₄	P ₁₁	P ₁₂	P ₁₃	P ₁₄
0	3.2	5	3	4	17	0	5	3	2	-
1	3.2	4	3	3	18	0	11	6	5	-
2	3.2	3	3	4	14	3	15	9	6	8
3	3.2	2	3	4	14	3	22	13	8	13
4	3.2	1	3	5	13	3	24	17	12	17
5	4.8	5	4	3	26	3	5	4	2	3
6	4.8	4	3	4	26	3	9	6	4	6
7	4.8	3	3	4	26	3	15	10	6	9
8	4.8	2	3	4	26	3	24	14	8	15
9	4.8	1	3	5	25	3	24	18	13	18
10	5.6	5	6	10	23	3	5	4	2	3
11	5.6	4	6	10	23	3	9	6	4	5
12	5.6	3	6	12	21	3	16	7	6	9
13	5.6	2	6	10	23	3	23	13	8	13
14	6.4	5	6	9	31	2	5	3	2	3
15	6.4	4	6	9	33	0	11	6	5	-
16	6.4	3	6	12	27	3	16	8	6	9
17	6.4	2	6	10	29	3	23	13	8	13
18	6.4	1	6	11	28	3	24	18	12	18
19	8.0	5	6	10	41	3	6	3	2	3
20	8.0	4	6	10	41	3	11	6	5	6
21	8.0	3	6	11	40	3	16	8	6	7
22	8.0	2	6	10	41	3	23	13	8	13
23	8.0	1	6	10	41	3	24	17	12	18
24	9.6	5	7	9	53	3	5	4	2	4
25	9.6	4	7	10	52	3	9	6	4	6
26	9.6	3	6	12	51	3	16	9	6	10
27	9.6	2	6	10	53	3	22	12	9	12
28	9.6	1	6	13	50	3	24	18	13	19
29	11.2	5	14	17	50	3	5	4	2	5
30	11.2	4	11	21	49	3	9	6	4	8
31	11.2	3	11	23	47	3	16	8	6	9

【図17】

P ₁ = 1 :	1100	1000	1000	1000	1000	1000	1000	1000
code rate: 8/9								
P ₁ = 2 :	1100	1000	1000	1000	1100	1000	1000	1000
code rate: 8/10								
P ₁ = 3 :	1100	1000	1100	1000	1100	1000	1000	1000
code rate: 8/11								
P ₁ = 4 :	1100	1000	1100	1000	1100	1000	1100	1000
code rate: 8/12								
P ₁ = 5 :	1100	1100	1100	1000	1100	1000	1100	1000
code rate: 8/13								
P ₁ = 6 :	1100	1100	1100	1000	1100	1100	1100	1000
code rate: 8/14								
P ₁ = 7 :	1100	1100	1100	1100	1100	1100	1100	1000
code rate: 8/15								
P ₁ = 8 :	1100	1100	1100	1100	1100	1100	1100	1100
code rate: 8/16								
P ₁ = 9 :	1110	1100	1100	1100	1100	1100	1100	1100
code rate: 8/17								
P ₁ = 10 :	1110	1100	1100	1100	1110	1100	1100	1100
code rate: 8/18								
P ₁ = 11 :	1110	1100	1110	1100	1110	1100	1100	1100
code rate: 8/19								
P ₁ = 12 :	1110	1100	1110	1100	1110	1100	1110	1100
code rate: 8/20								
P ₁ = 13 :	1110	1110	1110	1100	1110	1100	1110	1100
code rate: 8/21								
P ₁ = 14 :	1110	1110	1110	1100	1110	1110	1110	1100
code rate: 8/22								
P ₁ = 15 :	1110	1110	1110	1110	1110	1110	1110	1100
code rate: 8/23								
P ₁ = 16 :	1110	1110	1110	1110	1110	1110	1110	1110
code rate: 8/24								
P ₁ = 17 :	1111	1110	1110	1110	1110	1110	1110	1110
code rate: 8/25								
P ₁ = 18 :	1111	1110	1110	1110	1111	1110	1110	1110
code rate: 8/26								
P ₁ = 19 :	1111	1110	1111	1110	1111	1110	1110	1110
code rate: 8/27								
P ₁ = 20 :	1111	1110	1111	1110	1111	1110	1111	1110
code rate: 8/28								
P ₁ = 21 :	1111	1111	1111	1110	1111	1110	1111	1110
code rate: 8/29								
P ₁ = 22 :	1111	1111	1111	1110	1111	1111	1111	1110
code rate: 8/30								
P ₁ = 23 :	1111	1111	1111	1111	1111	1111	1111	1110
code rate: 8/31								
P ₁ = 24 :	1111	1111	1111	1111	1111	1111	1111	1111
code rate: 8/32								

【手続補正書】

【提出日】平成8年10月11日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 デジタル信号多重化装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 ベースバンド上で時分割に複数のサービスデータを多重化するデジタル信号多重化装置において、指示された情報に基づいてどのようにサービスデータが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとを生成する情報生成手段と、前記情報生成手段により生成された多重情報データを記憶する記憶回路と、前記記憶回路への多重情報デー

タの書き込み制御を行うとともに前記情報生成手段により生成されたコマンドをエンコーダの制御信号に変換する変換手段と、前記記憶回路から読み出された多重情報データをフォーマットにしたがいエンコードする第1のエンコーダと、複数のサービスデータを前記変換手段により変換された制御信号に基づきそれぞれフォーマットにしたがいエンコードする第2のエンコーダと、第2のエンコーダによってエンコードされた複数のサービスデータを多重化する第1の多重化回路と、第1のエンコーダにてエンコードしたデータと第1の多重化回路により多重化されたデータとを多重化する第2の多重化回路とを備え、異なるビットレートのサービスデータを複数多重化することを特徴とするデジタル信号多重化装置。

【請求項2】 請求項1記載のデジタル信号多重化装置において、記憶回路に複数種類の多重情報データを書き込み、記憶回路から読み出された複数種類の多重情報データに基づき第2のエンコーダへの制御信号を指定されたフレームで切り替えるエンコード制御回路を備えて、時間的な連続性を保って多重化の状態を周期的に変化させることを特徴とするデジタル信号多重化装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、ベースバンド上で時分割に複数のサービスデータを多重化するデジタル信号多重化装置に関し、さらに詳細には、欧州規格のデジタルオーディオ放送システムの受信機のシミュレータ等に利用されるテスト信号発生器の中のデジタル信号多重化装置に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】一方、欧州のデジタルオーディオ放送規格のデジタル音声放送システム（以下、DABと記す）では、従来の放送（番組）1チャンネルに相当するサービスデータを、各々異なるビットレートで複数多重化することができ、さらに時間的な連続性を損なうことなしに多重化されるサービスデータのビットレートを放送中に可変すること（以下、多重再構成とも記す）も可能なフォーマットになっている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】DAB規格のデジタル信号多重化装置においては、多重化情報（Multiplex Configuration Information（以下MCIとも記す））をFICのフォーマットに変換し多重化する必要がある。さらに、上記の多重化情報（MCI）に合致したMSCのエンコードを行わなければならない。さらに多重再構成でサービスデータのビットレートが変更される場合には、指定されたタイミングでエンコーダの設定を変化させなければならない。特に、タイムインターリーブがフレーム単位で、フレーム間にわたって行われ、その深さは最大15フレームにわたるので、多重再構成でビットレートが変更されるときには、タイムインターリーブの処理時間を考慮して、たたみ込み符号器のバンクチャードの変更の切り換えタイミングを補正する必要がある。具体的には、ビットレートが小さくなる場合には、その変化する15フレーム前にバンクチャードを変更する必要がある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本発明にかかるデジタル信号多重化装置は、ベースバンド上で時分割に複数のサービスデータを多重化するデジタル信号多重化装置において、指示された情報に基づいてどのようにサービスデータが多重されているかを示す多重情報データと多重情報データに合致した内容のコマンドとを生成する情報生成手段と、前記情報生成手段により生成された多重情報データを記憶する記憶回路と、前記記憶回路への多重情報データの書き込み制御を行うとともに前記情報生成手段により生成されたコマンドをエンコーダの制御信号に変換する変換手段と、前記記憶回路から読み出された多重情報データをフォーマットにしたがいエンコードする第1のエンコーダと、複数のサービスデータを前記変換手段により変換された制御信号に基づきそれぞれフォーマットにしたがいエンコードする第2のエンコーダと、第2のエンコーダによってエンコードされた複数のサービスデータを多重化する第1の多重化回路と、第1のエンコーダにてエンコードしたデータと第1の多重化回路により多重化されたデータとを多重化する第2の多重化回路とを備え、異なるビットレートのサービスデータを複数多重化することを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【発明の実施の形態】以下、本発明にかかるデジタル信号多重化装置を実施の形態により説明する。図1は本発明の実施の一形態にかかるデジタル信号多重化装置の構成を示すブロック図であり、多重化されるサービスデータがMPEG音声信号cの1チャンネルと他のMPEG音声信号c'の1チャンネルとの場合の例である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】本発明の実施の一形態にかかるデジタル信号多重化装置の説明の前に、先ず、DAB規格（European Telecommunication Standard, ETS300 401）に規定されるデータの基本構成について簡単に説明する。

フロントページの続き

(72)発明者 鶴見 篤

東京都渋谷区道玄坂 1 丁目 14 番 6 号 株式
会社ケンウッド内